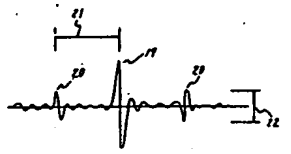
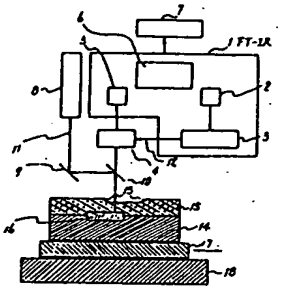
(54) EVALUATION OF EPITAXIAL GROWTH LAYER
(11) 2-152250 (A) (43) 12.6.1990 (19) JP
(21) Appl. No. 63-306392 (22) 2.12.1988
(71) NEC CORP (72) YASUHIDE KOMATSU
(51) Int. Cl[5]. H01L21/66,G01N21/35

PURPOSE: To evaluate an epitaxial growth layer by a method wherein a measuring apparatus including a Fourier-transform type infrared spectrophotometer (FE-IR) is used and the thickness of the epitaxial growth layer is measured from the number of waves between a center burst and a side burst and a pattern shift amount is measured on the basis of a side-burst intensity as reflected waves from a buried layer.

CONSTITUTION: An infrared beam 12 with which a specimen is irradiated is reflected by the surface of a specimen wafer and by a buried diffusion layer and is received by a detector 5 inside an FT-IR 1. The FT-IR 1 is constituted in such a way that signals from a Michelson interferometer 3 and the detector 5 are computed and processed inside a control and computation processing part 6 and that an interferogram 7 is output. In an output waveform of the interferogram output 7, a reflection peak of the infrared beam from the surface of the specimen wafer is expressed as a center burst 19 and a reflection peak from the buried diffusion layer 16 is expressed in a position of a side burst 20; an optical-path difference 21 between the center burst 19 and the side burst 20 corresponds to a thickness of an epitaxial growth layer. When a side-burst intensity 22 is measured, a position of the diffusion layer 16 can be measured in a noncontact manner.



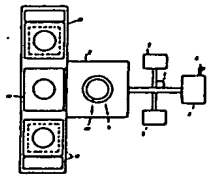


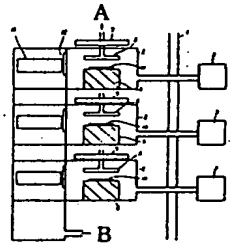
2: light source, 4: condenser, 8: surface difference-in-level meter, 9,10: mirror, 11: laser beam, 13: difference in level, 14: semiconductor substrate, 15: epitaxial growth layer, 17: shift stage, 18: fixed stand

(54) MANUFACTURING SYSTEM OF VERTICAL-TYPE SEMICONDUCTOR
(11) 2-152251 (A) (43) 12.6.1990 (19) JP
(21) Appl. No. 63-305162 (22) 3.12.1988
(71) FURENDOTETSUKU KENKYUSHO K.K. (72) MIKIO TAKAGI
(51) Int. Cl[5]. H01L21/68,H01L21/205,H01L21/302,H01L21/31

PURPOSE: To reduce a floor area and to easily install more systems by a method wherein a process chamber is installed in each stage position of a space positioned in an up-and-down direction and loading and unloading mechanisms of a wafer are installed on the front side of a plurality of process chambers arranged vertically.

CONSTITUTION: A plurality of cassettes are installed in a cassette-housing chamber, provided with a load-lock mechanism, which is situated at a lowest stage of a cassette elevator 11; a cassette conveyance mechanism part is evacuated. Individual process chambers are evacuated in advance to a prescribed pressure by using individual pumps 3. When an evacuation operation of the cassette conveyance mechanism part is completed, one cassette is taken out from a cassette-housing box, conveyed, e.g., to a position in an uppermost stage by using the cassette elevator mechanism 11 and locked in this position. A wafer transfer robot 14 in each stage position takes out a wafer one by one from the cassette which has been locked in the position; the wafer 10 is set on a lower-part electrode 6 inside the process chamber; when a prescribed process is completed, the wafer is taken out and is housed in the cassette-housing chamber 13.



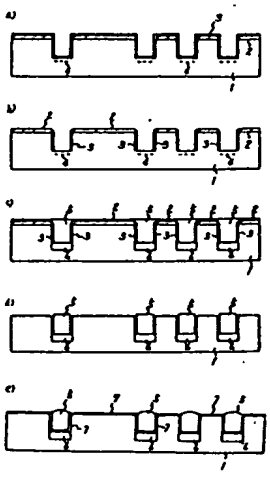


1: support (pole), 2: process chamber, 4: duct, 5: upper-part electrode, 7: matching box, 8: oscillation power supply, 9: gas system, 12: gate, A: supply of gas, B: evacuation of vacuum-load-lock mechanism

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE
(11) 2-152252 (A) (43) 12.6.1990 (19) JP
(21) Appl. No. 63-306385 (22) 2.12.1988
(71) NEC CORP (72) TAKAAKI KUWATA
(51) Int. Cl[5]. H01L21/76

PURPOSE: To fill boron phospho-silicate glass (BPSG) flatly a method wherein a heat treatment is executed in an oxidizing atmosphere, a second oxide film is formed on a semiconductor substrate and on a side-wall part of a groove, a boron phospho-silicate (BPSG) layer is made to reflow and the groove is filled.

CONSTITUTION: A semiconductor substrate 1 is coated with a silica film containing boron and phosphorus; the silica film is filled into grooves 3. Then, a heat treatment is executed, the silica film is transformed into BPSG. During this process, channel stopper regions 6 are formed by the heat treatment. The BPSG 5 and a first oxide film 2 in a flat part on the semiconductor substrate are etched and removed by using buffered hydrofluoric acid. During this process, when a concentration of boron to be contained in the silica film is set to be high, an etching rate by the buffered hydrofluoric acid can be set to be smaller than that for the first oxide film. When a heat treatment is executed in an oxidizing atmosphere, a thermal oxide film is formed on the surface of the semiconductor substrate and on side-wall parts of the grooves; at the same time, when the BPSG is made to reflow into the grooves, the grooves can be filled with the BPSG without leaving no space.



⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平2−152251

⑬公開　平成2年(1990)6月12日

⑤Int. Cl.⁵	識別記号	庁内整理番号
H 01 L 21/68	A	7454−5F
21/205		7739−5F
21/302	B	8223−5F
21/31	C	6810−5F

審査請求　未請求　請求項の数 1　(全6頁)

⑭発明の名称　縦型半導体製造システム

⑳特　願　昭63−305162

㉒出　願　昭63(1988)12月3日

㉑発明者　高木　幹夫　神奈川県川崎市多摩区長尾6丁目20番3号

㉑出願人　株式会社フレンドテック研究所　神奈川県川崎市多摩区長尾6丁目20番3号

明細書

1．発明の名称

縦型半導体製造システム

2．特許請求の範囲

上下方向に、仕切られた空間の各段位置にプロセスチャンバー（2）を設置し、当該複数の縦型配置されたプロセスチャンバー（2）の前面側にウェハーのロード・アンロード機構を設けたことを特徴とする縦型半導体製造システム。

3．発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製造に関し、特に、半導体装置の製造等における種々の皮膜形成，エッチング処理を同時に行うことのできる縦型半導体製造システムに関するものである。

〔従来の技術〕

半導体装置の製造においては、種々の皮膜を形成する必要があり、例えば、シリコン酸化膜、シリコン窒化膜、ポリシリコンなどを気相成長させる。成長温度の低温化のため、プラズマを利用することもある。いずれの場合も、成長温度は異なり、用いるガスの種類も異なっている。従って、専用の反応装置が必要であり、処理すべきウェハーは、カセットに収容した状態で各専用の反応装置まで運搬する必要があり、この間のウェハー保管には汚染防止の手段をとらなければならない。

気相成長の一例として、古典的なエピタキシャル成長には、縦型反応管中にカーボンサセプターを配置し、塩化シリコンガスを上方から供給するものであった。この装置は、枚葉式であり、処理枚数の改善のため、ウェハーを周囲に多数枚セットできるサセプタを備えた装置が開発されてきた。

シリコン酸化膜を始めとする上記の各種の皮膜の気相成長にあたっては、現状では、ホット・ウォール型のＣＶＤ装置が主流であり、横型の反応

管の中に、ウェハーは立てて配置して、一度に処理できる枚数の改善が図られている。

上述した縦型炉および横型炉において、さらに処理枚数の改善を図るとすると、装置自体を複数配置する以外に方策がなく、縦型炉にあっては、複数の炉を縦に配置し、ウェハーカセットを供給するシステムが提案されている。

また、横型炉では、拡散炉としては、古くから、炉芯管を横に複数配置して、おのおのにウェハーカセットを供給する装置を備えて、処理枚数の改善を図っている。

所で、半導体デバイスは益々小型化すると共に複雑な構造をとるようになってきており、反応ガスの流れや温度分布などの微妙な違いにより、ウェハー間分布、ウェハー内分布の均一性が保てない場合が発生してきた。即ち、上記のホット・ウォール型のＣＶＤ装置において、反応ガスの入口側と出口側とでは、供給する反応ガス（２種以上の組み合わせ）の分圧変動が生じる。従って、バッチ内で均一に調整することが難しい。特に、シリコンオキシナイトライド形成時に、反応ガスはモノシラン、アンモニア、一酸化窒素の３成分となり、ますますその調整が難しくなる。

そこで、各ウェハーは、それぞれ精密に制御された雰囲気の中に置き、再現性良く加工する枚葉式装置の必要が出てきた。枚葉式装置では、ウェハーの大口径化にも対応し易く、また、一台の装置で各種製造プロセスに柔軟に対応できる利点があるが、一時に処理できる枚数が限られている。これを改善するために、一台の装置に複数のチャンバーを設けて同時に同じ処理を行うマルチチャンバー方式が提案され、スパッタ装置、プラズマＣＶＤ装置にて採用され始めている。

更に、最近の報告では、複数のチャンバーにて同じプロセスではなく、各チャンバー毎に異なる種類のプロセスを実行できる機能を持たせたマルチプロセス装置が登場してきている。例えば、第３図に示す様に、４つのプロセスチャンバーを用意し、プラズマＣＶＤ、減圧ＣＶＤ、プラズマエッチ、スパッタエッチを行うことで、多層配線の層間絶縁膜形成プロセスが一台の装置で均一且つ平坦に自動形成できるとされている。

（発明が解決しようとする問題点）

上記のマルチプロセス装置では、中央に多角形乃至円形の真空室を設け、その周囲に独立した排気系の複数のプロセスチャンバーを配した構造であり、設置できるチャンバーの数に制限があり、規定以上の増設が不可能である。更にチャンバーを増設しようとすると、同じ装置系を併設する必要がある。装置全体は全て平面的な配置となるため、床面積が多くなる欠点がある。

又、多数のチャンバーに対して、ウェハーのチャンバーへの出し入れのロボットが一台のため、同時にウェハーをセットしたり、取り出したりすることはできない。

（問題点を解決するための手段）

上記の問題点を解決するため、本発明では、上下方向に、仕切られた空間の各段位置にプロセスチャンバー（２）を設置し、当該複数の縦型配置されたプロセスチャンバー（２）の前面側にはウェハーのロード・アンロード機構を設けたことを特徴とする縦型半導体製造システムとしている。

（作用）

本発明では、従来のマルチプロセス装置が平面的な配置構成を有し、チャンバーの増設が規定以上は不可能であり、また、各チャンバーに対するウェハーのロード・アンロードを並列に行えない問題点を有していることに鑑みて、床面積が少なくても枚様式のスループットを改善でき、しかもチャンバーの増設が極めて簡単な装置とすべく検討を重ねた結果、高価なクリーンルームを有効活用するべく、各プロセスチャンバーを上下方向に積み重ねていく縦型システムの概念に至った。即ち、本発明の好適な実施例では、上下方向に、プロセスチャンバーと排気ポンプとの対を積み重ねて固定させる。こうして、チャンバーの増設を容易としている。各チャンバーは、プラズマＣＶＤ

、スパッタリング、プラズマセルフクリーニング付き熱ＣＶＤ、ドライエッチングに適した内部構造、例えば、平行平板型の電極（ガス供給）構造を持ち、各々の処理に適した内部圧力とするために、この排気ポンプを動作させる。プロセスチャンバーの排気ポンプ側とは反対の前面側においては、ウェハーカセットの入出を行うロード・アンロード機構を設けるが、この機構としては、まず、プロセスチャンバーの前面側には各チャンバーにまたがって共通するカセットエレベータを設置する。また、前記各段のプロセスチャンバーの前面側の他の位置にカセット収納室を設ける。

カセットエレベータは、各プロセスチャンバーに連接して、上下方向にエレベータ動作を行い、カセットを任意の位置段に運ぶ。

各プロセスチャンバーの前面位置には、各チャンバーにウェハーを出し入れするウェハーロード・アンロード機構を設ける。即ち、運ばれたウェハーカセットから、一枚づつウェハーを抜き取ってプロセスチャンバーに送り、所定のプロセスが終了したら、カセット収納室にあるカセットに処理済ウェハーを移し返すウェハー移送機構（ロボット）が配置されている。この移送機構は、ウェハーを平板棒の先端に乗せて水平方向に移動する形式のものであってもよいし、伸縮自在のロボットでもよい。より好ましくは、チャンバーでの加熱時間を短縮するため、各プロセスチャンバーの前面位置には、ウェハー載置台を設けておき、この台にヒーターを内蔵させ、プリヒートをさせ、その後、上記のロード・アンロード機構により、ウェハーをチャンバーに移すのがよい。

カセット収納室は、プロセスチャンバーの前面側の他の位置に設けられていて、処理済みウェハーを収納し、この位置からカセット毎取り出す。

カセット収納室は、各段にて独立にしてもよいが、最上段または最下段に集積できる機構とするのがよい。

カセットエレベータとウェハー移送機構（ロボット）ならびにカセット収納室は前方外壁面が共通の面となる様にすることができ、作業者はこの壁に向かってカセットの出し入れを行う様にするのがよい。この様な方式は、所謂スルーザウォール方式と称されている。

プラズマ処理に対して高周波の発振電源が必要であり、また、処理のための反応ガス系も必要であり、これらは、前述の支柱を中心として対向配置し、バランスをとって支柱にとりつけるのがよい。前述のチャンバー，排気ポンプ，発振電源，ガス系は全て先の壁の一方にあり、補修作業，増設作業を容易ならしめている。ある場合には、機械設備の集積化のため、チャンバーの側壁に配管を設けて、いわゆる配管ＩＣ化を連することもできる。同様に、発振電源も小さくしてマッチングボックスと一体化して、プロセスチャンバーの上部空間に設置することもできる。更に、支柱の内部も中空として各位置での排気管に接続し、パラレル排気の際に、支柱自体を排気管として、排気効率の改善に寄与させることもできる。

実用的には、クリーンルームは３～３.５ｍの高さがあるので、旨く設計すれば６～７チャンバーを連ねることも可能である。

〔実施例〕

第１図および第２図を参照して、本発明の実施例になる縦型半導体製造システムを説明する。

第１図は、本発明実施例の縦型システムの構成を示す所面図であり、１は装置全体の支柱となるポールであり、このポールには、各プロセスチャンバー２とポンプ３とがバランスをとって機械的に固定されている。ポンプ３は通常の形式のポンプでよく、その排気側はダクト４（第２図）を介して外気に導かれる。

このプロセスチャンバー２とポンプ３との対は、第１図の例では３組として例示されているが、これは所定のプロセス数に応じて選択できる。また、プロセスチャンバー２は、スパッタリング，プラズマＣＶＤ，熱ＣＶＤ，ドライエッチングのいずれかの専用チャンバーとして備えつけることができるが、マルチプロセスの観点から、異なるプロセスの連続処理（例えば、平坦化プロセスでの

各種ＣＶＤとエッチバックプロセス）を実行できる様な内部構造を持つようにしておくができ、図の例では、反応ガスをシャワー状に噴射できる上部電極５と、ウェハーを所定の温度に加熱できるヒーターを内蔵した下部電極６を備えたチャンバーが各々のプロセスチャンバー内に設置されている。

プロセスチャンバー２の上部には、マッチングボックス７が配置されており、このマッチングボックス７は、発振電源８から発生された高周波（一般には13.75 MHz）を上部電極５に印加する際のインピーダンスマッチングの機能を果たす。

プロセスチャンバーに対する反応ガスの供給は、前述の通り、上部電極５の内部を通してチャンバー内に導入されるが、ガスの供給はこれに限定されるものではなく、マッチングボックス７の左端側から導入することもできる。

いずれにしても、反応ガスの供給にあたっては、そのための配管が必要であり、その配管類９は一括して支柱に取りつけるが、第２図に示した通り発振電源８の反対側にバランスを取って機械的に固定する。第１図においては、簡単のため、発振電源８とガス系９の対は図示を省略してある。

次に、処理すべき半導体ウェハー10の搬送機構11について説明する。この実施例では、第２図の上面図を参照して明らかな通り、プロセスチャンバー２の前面側には、カセットエレベータ機構があり、これは上下方向に延びていて、各チャンバー位置までウェハーカセットを搬送する。

同じく前面側で、各プロセスチャンバー２の前面には、搬送されてきたカセットからウェハーを一枚づつ抜き取り、ゲート12を通ってプロセスチャンバー内にウェハー10をセットし、処理が終了したらプロセスチャンバーからウェハーを取り出して、各段位置に備えられたカセット収納室13へウェハーを収納する動作を行うウェハー移送機構（ロボット）14 が設けられている。

ゲート12は言うまでもなく搬送機構側とプロセスチャンバー２の間にあって、両者を気密に分離することができ、また、ウェハーの導入・導出時にはゲートが開いて、ウェハーの通過を可能とする。

従って、第１図及び第２図の例では、カセットエレベータ機構11が上下のプロセスチャンバーにまたがって垂直の柱状となっており、各プロセスチャンバー位置にて水平方向にウェハー移送機構（ロボット）とカセット収納室を囲む仕切りがなされており、必要な空間を最少としており、排気に要する時間の節約を図っている。

なお、図示していないが、カセットエレベータ11の最下段にカセットのロードロック機構が備えられており、このロードロック機構を用いてカセットを複数入れ、処理済カセットは各カセット収納室から取り出す。

次に、本実施例装置の使用方法について説明する。

カセットエレベータ11の最下段にあるロードロック機構付きカセット収納室に複数のカセットを設置し、第１図の最下段にて排気と記した箇所よりカセット搬送機構部の排気を行う。各プロセスチャンバーは、各々のポンプ３にて予め所定圧力まで排気しておく。カセット搬送機構部での排気が完了したら、カセット収納ボックスからカセットを一つ取り出し、カセットエレベータ機構11によって、例えば最上段の位置まで搬送し、その位置にロックしておく。次いで、搬送機構を最下段まで下降させ、カセット収納ボックスから次のカセットを取り出し、搬送機構にて、中間段位置まで搬送し、その位置にてロックしておく。更に、搬送機構を最下段まで下降させ、カセット収納ボックスから次のカセットを取り出し、搬送機構にて、プロセスチャンバーの最下段位置まで搬送し、その位置にてロックしておく。

各段位置のウェハー移送ロボット14は、当該位置にロックしておかれたカセットからウェハーを一枚づつ取り出し、前述の手順にて、プロセスチャンバー内の下部電極６の上にウェハー10をセットし、所定のプロセスが完了したら、そのウェハーを取り出してカセット収納室13に収納する。この操作をウェハーの数だけ繰り返して各、プロ

セスチャンバーでの処理を完了する。

上記の実施例においては、各カセットのウェハーに対して、同一または異なるプロセスを実行するものであったが、異なるプロセスを順次実行できる様にカセットエレベータを駆使することができる。

なお、上記の実施例では、ポールを設けて各チャンバーを固定した構造としたが、棚を上下方向に設けておき、この各棚の中にチャンバー他を設置していくことも可能である。また、各チャンバーは異なる処理ができる様に独立排気としているが、全てのチャンバーにて同一条件での処理を行う場合には、ポンプは一台でよい。

（発明の効果）

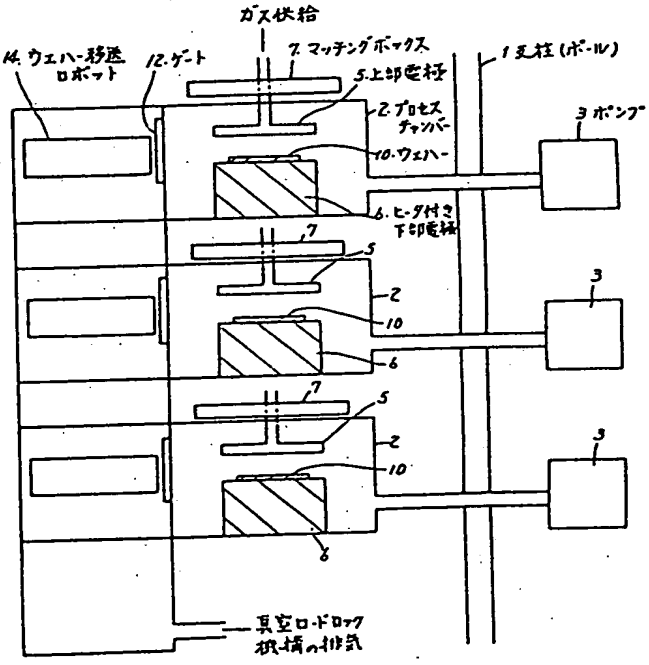
以上の通り、本発明では、マルチプロセスチャンバーを縦積みとしてシステムを構成したので、床面積の縮小化が実現できる。また、ポールまたは棚に対してプロセスチャンバーを取りつけていく縦型のシステムであるので、増設が容易であり、また、いずれかのチャンバーの補修をしている間も他のチャンバーにてプロセスを実行できるし、装置全体の補修も簡便となし得る利点がある。

勿論、カセットを搬送機構内部で移送している限りは、ウェハー上への塵埃の付着はない。所謂、スルーザウォールの方式であれば、カセット収納室13からカセットを取り出し、再度カセット収納ボックスにセットとして、次のプロセスを実行する場合では、塵埃の付着は左程問題にはならない。

4．図面の簡単な説明

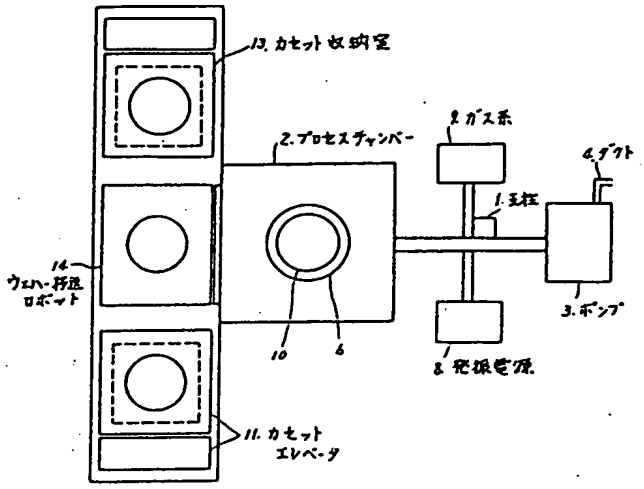
第1図は本発明の本実施例になる縦型システムの構成を示す断面図であり、第2図は、第1図のシステムの上面図、第3図は従来提案されているマルチプロセスシステムの上面図である。

図中、1は装置全体の支柱となるポール、2はプロセスチャンバー2、3はポンプ3、5は上部電極、6は下部電極6、7はマッチングボックス、8は発振電源、9はガス系、10は半導体ウェハー、11はカセットエレベータ、12はゲート、13はカセット収納室、14はウェハー移送ロボットである。

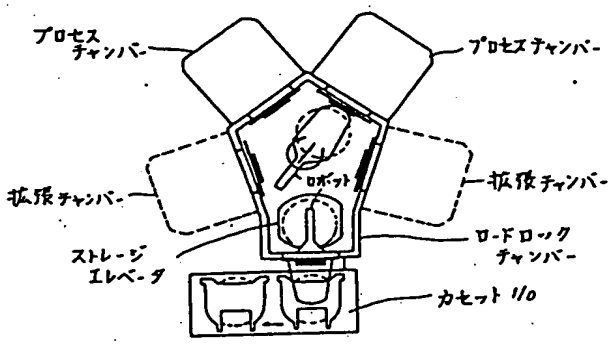


本発明実施例の縦型システムの断面図

第1図



本発明実施例システムの上面図
第 2 図



従来システムの上面図
第 3 図

PTO 99-4205

Japan, Kokai
2-152251

VERTICAL SEMICONDUCTOR MANUFACTURING SYSTEM
[Tate Gata Handotai Seizo Shisutemu]

Mikio Takagi

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D. C. July 1999

Translated by: Schreiber Translations, Inc.

Country	:	Japan
Document No.	:	2-152251
Document Type	:	Kokai
Language	:	Japanese
Inventors	:	Mikio Takagi
Applicant	:	Friendtech Research Center Co., Ltd.
IPC	:	H 01 L 21/68 21/205 21/302 21/31
Application Date	:	December 3, 1988
Publication Date	:	June 12, 1990
Foreign Language Title	:	Tate Gata Handotai Seizo Shisutemu
English Title	:	VERTICAL SEMICONDUCTOR MANUFACTURING SYSTEM

Specification /1[1]

1. Title of the Invention: VERTICAL SEMICONDUCTOR MANUFACTURING SYSTEM

2. Claim

A vertical semiconductor manufacturing system wherein the process chambers (2) are configured at the respective stepwise positions of a space which is partitioned along the vertical direction and wherein wafer load & unload mechanisms are configured on the front side of said multiple process chambers (2) configured vertically.

3. Detailed explanation of the invention

(Industrial application fields of the invention)

The present invention concerns the manufacturing of a vertical semiconductor device. More specifically, it concerns a vertical semiconductor manufacturing system wherein various film formation and etching treatments essential for the production, etc. of a vertical semiconductor manufacturing system can be simultaneously performed.

(Prior art of the invention)

It is necessary to form various films when semiconductor devices are manufactured, and a silicon oxide film, silicon nitride film, polysilicon, etc. may, for example, be grown in the

[1]Numbers in the margin indicate pagination in the foreign text

vapor phase. A plasma, furthermore, may be used for lowering the growth temperature. In each case, the growth temperatures vary, and the types of gases used are also difficult. A special reaction device is therefore necessary, and wafers to be treated must be transported to the respective special devices while being stored in cassettes, and pollution preventive measures must be taken during the concomitant wafer management.

In the epitaxial growth format, which is a classic example of vapor-phase growth formats, a carbon susceptor is configured within a vertical reaction tube, and gaseous silicon is fed into it from above. This device is based on the leafy format, and a device equipped with a susceptor on which multiple wafers can be set along its circumference has been developed for improving the treatment efficiency.

Hot wall-type CVD devices have become mainstream apparatuses for growing various films, led by silicon oxide films, in the vapor phase today, and an attempt is being made to increase the number of

wafers that can be simultaneously treated by configuring said /2 wafers in upright fashions within a horizontal reaction device.

The only conceivable way to further increase the number of simultaneously treatable wafers in the aforementioned vertical furnace and horizontal furnace is to configure multiple devices, and as far as the vertical furnaces are concerned, a system

wherein a wafer cassette is fed into multiple furnaces configured vertically has been proposed.

As far as the horizontal furnaces are concerned, on the other hand, attempts have long been made to increase the number of simultaneously treatable wafers by configuring multiple diffusion furnace core tubes horizontally and by feeding wafer cassettes into the respective units.

Incidentally, not only have the sizes of semiconductor devices been increasingly reduced, but their structures have also become complex, and cases where it is impossible to maintain the homogeneities of interwafer distributions and intrawafer distributions due to subtle differences of reaction gas flows, temperature distributions, etc. are no longer uncommon. In other words, the partial pressures of feed reaction gases (based on combinations of two or more types) differ between the reaction gas inlet and outlet sides of the aforementioned hot wall-type CVD device. It is difficult, therefore, to render homogeneous adjustments within each batch. During the formation of silicon oxynitride, in particular, three reaction gas components, namely monosilane, ammonia, and nitrogen monoxide, are involved, which further complicates adjustments.

A leafy format device which is capable of processing multiple wafers which are being placed in a precisely controlled atmosphere in high reproducibility has therefore become

necessary. The leafy format device can easily accomodate an effort to enlarge the wafer diameter, and another advantage lies its flexible adaptabilities to various manufacturing devices as a singular unit. The number of simultaneously treatable wafers, however, is limited. In order to alleviate this problem, a multi-chamber format wherein multiple chambers are configured within a single device for performing identical treatments simultaneously was proposed, and this format is beginning to entrench itself among sputter devices and plasma CVD devices.

Recent reports, furthermore, note the advent of a multi-process device which is capable of serving a function of different types of processes within multiple chambers instead of duplicating the same process in the respective chambers. As Figure 3 notes, for example, it is noted that, in a case where four process chambers are prepared and where a plasma etch, vacuum CVD, plasma etch, [and] a sputter etch operation are thereby carried out, processes for forming interlayer insulating films for multi-layer wires can be automatically implemented by using a single device in homogeneous and flat fashions.

(Problems to be solved by the invention)

The aforementioned multi-process device is characterized by a structure wherein a [cross-sectionally] polygonal or circular vacuum chamber is configured at the middle and wherein multiple

mutually independent process chambers belonging to the exhaust system are configured around it. In such a case, the number of configurable chambers is limited, and expansion is impossible beyond this limit. In a case where an attempt is made to configure additional chambers, furthermore, it becomes necessary to install an identical device system in parallel, and since the entire apparatus must be configured on a plane, the occupant floor area increases, which is problematic.

Only one robot, furthermore, is assigned for inserting wafers into multiple chambers or for withdrawing them therefrom, and therefore, it is impossible to set or withdraw wafers simultaneously.

(Mechanism for solving the problems)

In order to solve the aforementioned problems, the present invention provides a vertical semiconductor manufacturing system wherein the process chambers (2) are configured at the respective stepwise positions of a space which is partitioned in upward and downward directions and wherein wafer load & unload mechanisms are configured on the front side of said multiple process chambers (2) configured vertically.

(Functions of the invention)

In recognition of the impossibility of configuring

additional chambers beyond a certain limit due to the planewise configurational constitution of the multi-process device of the prior art and of the inability to perform wafer load and unload operations vis-a-vis the respective chambers in parallel, the present inventors compiled exhaustive research on the development of a device which is capable of improving the throughput in the leafy format despite a limited floor space and which permits an extremely simple chamber expansion, as a result of which the concept of a vertical system wherein the respective chambers are piled along the vertical direction has been perfected for the purpose of effectively utilizing an expensive clean room space. In other words, pairs of process chambers and exhaust pumps are piled and fixed along the vertical direction in a desirable application example of the present invention, based on which additional chambers can be configured with ease. The respective chambers are characterized by interior structures which are suitable for plasma

CVD, sputtering, plasma self-cleaning thermal CVD, and dry /3
etching operations (e.g., parallel flat sheet electrode (gas feeding) structure). In order to achieve interior pressures suitable for the respective treatments, said exhaust pumps are activated. A load & unload mechanism which enables the entry and exit of a wafer cassette is configured on the front side of the process chamber opposite the vacuum pump side, and as said

mechanism, a common cassette elevator which is stretched across the respective chambers is configured on the frontal plane side of the process chamber. A cassette storage chamber, furthermore, is configured at another position of the frontal plane side of the process chamber located at each of the aforementioned steps.

The cassette elevator is linked to each process chamber, and it transports a cassette to an arbitrary step position while elevator actions are being invoked along the vertical direction.

A wafer load & unload mechanism which enables the entry and exit of wafers vis-a-vis the respective chambers is configured at a position in front of each process chamber. In other words, a wafer transportation mechanism (robot) which withdraws one wafer at a time from the transported wafer cassette and feeds it into the process chamber and which transfers a treated wafer into [another] cassette located in the cassette storage chamber upon the completion of a certain process is configured. This transportation mechanism may be based on a format in which a wafer is transported along the horizontal direction while being mounted at the front end of a flat panel bar, or an elastically expandable robot may be used instead. In an especially desirable format, a wafer mount platform is configured at a position in front of each process chamber while said platform is being preheated by a heater internalized in it, and subsequently, the wafer is transferred to the chamber based on the aforementioned

load & unload mechanism for the purpose of abbreviating the heating time in said chamber.

The cassette storage chamber, which is configured at another position in front of the process chamber, stores treated wafers, and each cassette is retrieved from this position.

The cassette storage chambers may be independently configured at each step, although a mechanism which enables an accumulation at the uppermost or lowermost step is more desirable.

The cassette elevator, wafer transportation mechanism (robot), and the cassette storage chamber are configured in such a way that their frontal outer wall planes share a common plane, and it is desirable for an operation to insert or retrieve a cassette while facing this wall. This format is commonly referred to as the "through-the-wall" format.

A high-frequency oscillation power source is necessary for a plasma treatment, and a reaction gas system is also necessary for the treatment. It is desirable that these members be configured in opposition to one another vis-a-vis the aforementioned pillar while being balanced against to said pillar. The aforementioned chamber, exhaust pump, oscillation power source, and gas system are all located on the frontal wall side, which facilitates repair operations and expansion operations. In some cases, furthermore, a conduit may also be configured on the chamber side

wall for integrating mechanical facilities, based on which a so-called "conduit-type IC" is provided. Similarly, a compact oscillation power source which has been integrated with a matching box may be configured in the upper space of the process chamber. The exhaustion efficiency, furthermore, may be improved by linking a pillar with a hollow interior with the exhaust pipes at the respective positions in such a way that the pillar itself will function as an exhaust pipe during a parallel exhaust operation.

The practical height of a clean room ranges from 3 to 3.5 m, and therefore, 6 or 7 chambers can be clustered in accordance with an apt design.

(Application examples)

A vertical semiconductor manufacturing system which serves as an application example of the present invention will be explained with reference to Figures 1 and 2.

Figure 1 is a diagram which shows a cross-sectional view of the constitution of the vertical system of the application example of the present invention, where (1) is a pole which serves as the pillar of the entire device. The respective process chambers (2) and pumps (3) are balanced against and mechanically fixed to this pole (1). A pump of an ordinary format suffices as the pump (3), and its exhaust side is extended

to the outer atmosphere via the duct (4) (Figure 2).

Three pairs of said process chambers (2) and pumps (3) are shown in the example of Figure 1, but their numbers can be adventitiously selected in consideration of the number of required processes. The process chamber (2), furthermore, may be installed as a chamber used exclusively for any one of sputtering, plasma CVD, thermal CVD, and dry etching operations, but from the multi-process standpoint, an internal structure which enables continuous treatments of different processes (e.g., various CVD and etch-back processes as flattening processes) may also be configured. In the example shown in the figure, a chamber which possesses the upper /4 electrode (5), which is capable of spraying and showering a reaction gas, and the lower electrode (6), in which a heater which is capable of heating the wafer at a certain temperature is being internalized, is installed within each process chamber.

The matching box (7) is configured in the upper portion of the process chamber (2), and this matching box (7) serves an impedance matching function in a case where a high frequency (generally 13.75 MHz) which has been generated from the oscillation power source (8) is impressed on the upper electrode (5). As has been mentioned above, the reaction gas is fed into the process chamber via the interior of the upper electrode (5), but the gas feeding format is not limited to it, and the gas may

instead be introduced from the left fringe of the matching box (7).

In any event, pipes are necessary for feeding the reaction gas, and such pipes (9) are attached collectively to the pillar. As Figure 2 indicates, they are mechanically fixed while being balanced against the opposite side of the oscillation power source (8). The pair of the oscillation power source (8) and the gas system (9) are omitted from the illustration of Figure 1 for the sake of simplicity.

Next, the transportation mechanism (11) for the semiconductor wafer (10), which is to be treated, will be explained. As the upper plane view of Figure 2 clearly suggests, a cassette elevator chamber is configured on the front side of the process chamber (2) while being stretched along the vertical direction for transporting a wafer cassette to the position of each chamber.

Also configured on the front side of each process chamber (2) is the wafer transportation mechanism (robot) (14), which withdraws one wafer at a time from the transported cassette, sets it (i.e., wafer (10)) within the process chamber past the gate (12), retrieves the wafer from the process chamber upon the completion of a given treatment, and stores said wafer in the cassette storage chamber (13), which is configured at the position of each step.

It goes without saying that the gate (12) is configured between the transportation mechanism side and the process chamber (2) for hermetically separating them. The gate, furthermore, is opened during the entry or exit of the wafer for allowing the passage of said wafer.

In the example shown in Figures 1 and 2, therefore, the cassette elevator mechanism (11) constitutes a vertical pillar while being stretched across vertically configured process chambers, and a partition which surrounds the wafer transportation mechanism (robot) and cassette storage chamber is embodied along the horizontal direction at the position of each process chamber, based on which the space requirement is minimized, and the time required for gas exhaustion is conserved.

Although it is not shown in the figures, a cassette load lock mechanism is attached to the lowermost step of the cassette elevator mechanism (11). Multiple cassettes are introduced by using this load lock mechanism, and the treated cassettes are retrieved from the respective cassette storage chambers.

Next, the utilization method for the device of the present application example will be explained.

Multiple cassettes are placed within the cassette storage chamber (equipped with a load lock mechanism) located at the lowermost step of the cassette elevator (11), and the wafer transportation mechanism unit is exhausted at the position

indicated as "Exhaust" at the lowermost step of Figure 1. Each process chamber is preliminarily exhausted by the corresponding pump (3) at a certain pressure. After the exhaustion of the wafer transportation mechanism unit has been completed, one cassette is retrieved from the cassette storage box, and after it has been transported to the uppermost position, for example, by the cassette elevator mechanism (11), it is locked at this position. Next, the transportation mechanism is dropped to the lowermost position, and after the next cassette has been retrieved from the cassette storage box, it is transported to an intermediate step position by the transportation mechanism and then locked at this position. The transportation mechanism is dropped once again to the lowermost step, and after still another cassette has been retrieved from the cassette storage box, it is transported to the position of the lowermost process chamber step by the transportation mechanism and then locked at this position.

The wafer transportation mechanism (14) located at each step position retrieves one wafer at a time from the cassette locked at said position, sets the semiconductor wafer (10) above the lower electrode (6) within the process chamber according to the aforementioned procedures, and retrieves said wafer and then stores it within the cassette storage chamber (13) upon the completion of a certain process. This operation is repeated over cycles corresponding to the number of wafers, as a result of

which the

treatment in the process chamber is completed. /5

The wafers in the respective cassettes undergo identical or different processes in the aforementioned application example, and it is also possible to utilize a cassette elevator for enabling the sequential executions of different processes.

A structure wherein the respective chambers are fixed to a configured pole has been explained in the aforementioned application example, but it is also possible to configure [shelves] along the vertical direction and to configured chambers, etc. on the respective [shelves]. The respective chambers, furthermore, have been independently exhausted for enabling different treatments, but only one pump suffices in a case where the treatments in all chambers are carried out under identical conditions.

(Effects of the invention)

As has been mentioned above, multi-process chambers are constituted as a vertical system in the present invention, based on which the floor area can be minimized. In this vertical system, furthermore, the process chambers are attached to poles or [shelves], and therefore, expansions are easy. Even while a given chamber is being repaired, furthermore, the processes of the other chambers can be implemented, and another advantage lies

in the simplicity of the overall repair.

It goes without saying, furthermore, that the adhesion of dust to the wafer surface can be avoided so long as the cassette is being transported within the transportation mechanism, and as far as the so-called "through-the-wall" format is concerned, furthermore, the dust adhesion is not a grave problem in a case where a cassette is retrieved from the cassette storage chamber (13) and then set in a cassette storage box prior to the execution of the next process.

4. Brief explanation of the figures

Figure 1 is a diagram which shows a cross-sectional view of the constitution of the vertical system of an application example of the present invention. Figure 2 is a diagram which shows an upper plane view of the system shown in Figure 1. Figure 3 is a diagram which shows an upper plane view of a multi-process system proposed in the prior art.

In the figures, the notations denote the following: (1): Pole which serves as the pillar of the entire device; (2): Process chamber (2) [sic]; (3): Pump (3) [sic]; (5): Upper electrode; (6): Lower electrode; (7): Matching box; (8): Oscillation power source; (9): Gas system; (10): Semiconductor wafer; (11): Cassette elevator; (12): Gate; (13): Cassette storage chamber; (14): Wafer transportation robot.

Figure 1

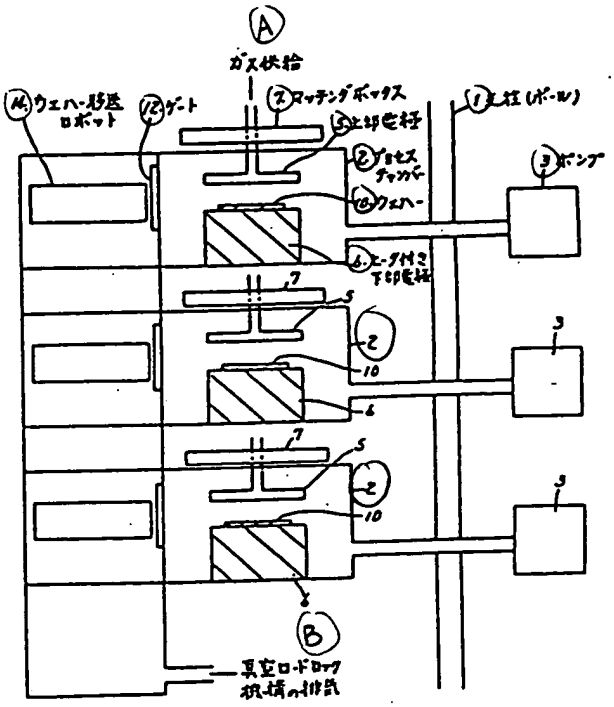
Keys: (0): A diagram which shows a cross-sectional view of the constitution of the vertical system of an application example of the present invention; (A): Gas feeding; (B): Exhaustion of the vacuum load lock mechanism; (1): Pillar (pole); (2): Process chamber; (3): Pump; (5): Upper electrode; (6): Lower electrode; (7): Matching box; (10): Semiconductor wafer; (12): Gate; (14): Wafer transportation robot

Figure 2 /6

Keys: (0): A diagram which shows an upper plane view of the system of [said] application example; (1): Pillar; (2): Process chamber; (3): Pump; (4): Duct; (8): Oscillation power source; (11): Cassette elevator; (13): Cassette storage chamber; (14): Wafer transportation mechanism

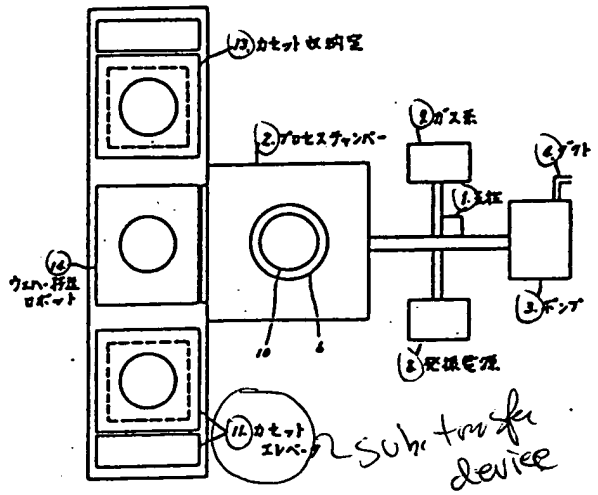
Figure 3

Keys: (0): A diagram which shows an upper plane view of a system of the prior art; (A): Process chamber; (B): Expansion chamber; (C): Storage elevator; (D): Process chamber; (E): Expansion chamber; (F): Load lock chamber; (G): Cassette



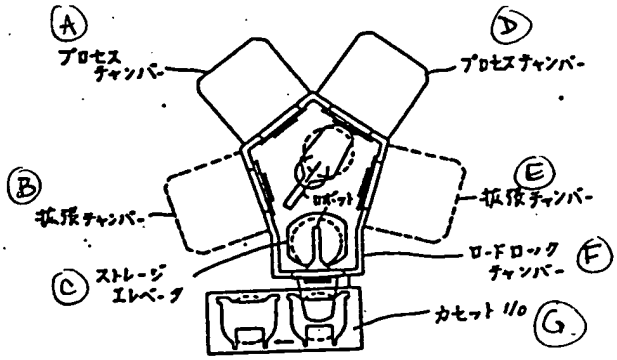
(D) 本発明実施例の縦型システムの断面図

第 1 図



(D) 本発明実施例システムの上面図

第 2 図



(D) 従来システムの上面図

第 3 図